

## Neue Möglichkeiten in der Halbleitervalidierung

# Auf den Pin gebracht

Kommt der erste Chip für ein neues Gerät aus der Produktion, sind die Möglichkeiten, dieses Gerät zu testen, relativ eingeschränkt. Um zu verifizieren, dass der vorliegende Chip die Anforderungen an die Funktionalität des Designs erfüllt, können Entwicklungs- und Validierungsingenieure entweder sehr viel Zeit mit Tests auf kostspieligen, komplexen ATE-Systemen verbringen, auf denen der Chip später in der Produktion geprüft wird, oder sie können sich die erforderliche Ausrüstung aus Benchtop-Geräten zusammenstellen.

Beide Möglichkeiten bergen gewisse Schwierigkeiten. Bei ATE-Systemen funktioniert die traditionelle vektorbasierte Methode der digitalen Prüfung nicht, da der Zugriff auf Prüfpunkte bei Systemen auf einem Chip oder Systemen in einem Paket nicht möglich ist. Diese komplexeren Geräte erfordern einen Funktionstest auf Systemebene, wofür sich konventionelle ATE-Systeme nicht eignen. Benchtop-Geräte haben sich dagegen seit langem für Funktionstests und relevantes Feedback im Designprozess bewährt. Allerdings ist es praktisch unmöglich, damit die Antwort des Chips im Gesamtsystem oder die Prüfungsgeschwindigkeit zu erreichen, die für die Anforderungen mancher Geräte nötig wären. Neuere Entwicklungen bei der PXI-Plattform und im grafischen Systemdesign bieten eine Alternative zu diesen beiden Methoden der Halbleitervalidierung und bringen die Fähigkeiten der Software NI Labview noch näher zu jedem einzelnen Pin eines Geräts.

Während PXI in Bezug auf Hochgeschwindigkeits-Digital-I/O in den letzten Jahren die Pin-Elektronik in ATE-Systemen eingeholt hat, sind die Möglichkeiten zur Gleichspannungsversorgung zurückgeblieben. Die Source Measure Unit (SMU) NI PXI-4130 (Bild 1) stellt in dieser Beziehung eine wesentliche Verbesserung dar. Wird

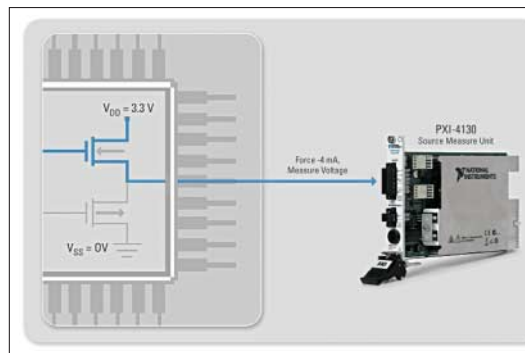


Bild 1: Anwender können mit der PXI-Plattform gängige parametrische Tests durchführen, indem sie Spannung und/oder Strom mithilfe der SMU NI PXI-4130 präzise messen

diese SMU durch Schaltmodule mit hoher Geschwindigkeit und hoher Kanalanzahl ergänzt, löst das die meisten gängigen Probleme von Parametertests. Das grafische Systemdesign bietet auch die beste Methode, das Design in einer Nachbildung der realen Umgebung zu testen. FPGA-Module auf PXI-Basis und das Labview-FPGA-Module übertreffen mittlerweile oft sogar die Hardware-in-the-Loop-Leistung hochperformanter ATE-Systeme und abstrahieren dabei die Low-Level-Details des Chips. So ist ein aussagekräftiger Test der Gerätefunktionalität möglich, der den echten Einsatzbedingungen entspricht. Dieser Lösungsansatz wird als emulationsbasiertes ATE-System bezeichnet. Mit diesen Systemen kann der Chip für die gewünschte Verwendung emuliert werden. Durch den Einsatz von PXI und Labview kann die Funktionalität von Chips genau so verifiziert werden, wie dies bei Motorsteuereinheiten schon lange gemacht wird, nämlich durch die Nachbildung ihrer realen Einsatzumgebung.

## Parametrische Gleichstrommessungen mit PXI

Bevor verifiziert wird, dass die nötigen Stimuli auf einem Chip die richtigen Reak-

tionen auslösen, wird eine Reihe von Messungen durchgeführt, um die Fertigung des Geräts an sich zu validieren. Dazu werden u. a. die Leistung der CMOS-Transistoren und Schutzdioden sowie die gesamte Stromaufnahme und Leckstrom überprüft. Diese Prozesse werden oft als „parametrische“ Tests bezeichnet und umfassen DC- und AC-Charakteristika. Für DC-Messungen müssen Parametric Measurement Units oder SMUs jeden einzelnen Pin mit Strom und Spannung versorgen und gleichzeitig zurückmessen.

Bei PXI-4130 handelt es sich um eine programmierbare, leistungsstarke SMU in einem 3U-PXI-Modul, das nur einen Steckplatz belegt. Das Modul besitzt einen einzelnen isolierten SMU-Kanal mit einem 4-Quadranten-Ausgang mit  $\pm 20$  V und ermöglicht dezentrale (4-Draht-)Messungen. Fünf einstellbare Strombereiche bieten eine Auflösung für Stromerzeugung und -messung bis zu 10 bzw. 1 nA, so dass dieses Präzisionsmessgerät viele standardmäßige parametrische DC-Tests durchführen kann, wie sie für Halbleitergeräte benötigt werden. Dazu gehören z. B.

- ▶ VOH und IOH,
- ▶ VOL und IOL,
- ▶ IIL und IIH,

### AUTOR



Luke Schreier ist Group Manager für Präzisions-DC und Digitaltest. Er hat einen Abschluss als Bachelor of Science in Maschinenbau an der University of Nebraska in Lincoln



**all-electronics.de**  
ENTWICKLUNG. FERTIGUNG. AUTOMATISIERUNG



Entdecken Sie weitere interessante  
Artikel und News zum Thema auf  
all-electronics.de!

**Hier klicken & informieren!**



- ▶ IDD brutto, statisch und dynamisch,
- ▶ Begrenzung des Kurzschlussstroms sowie
- ▶ Leerlauf- und Kurzschluss tests.

Viele dieser Tests verwenden eine Prüfsequenz, die der folgenden ähnelt (bei VOH):

- ▶ Gerät als hochohmigen Ausgang konfigurieren,
- ▶ –4 mA von der SMU ziehen (die SMU fungiert als Last) und
- ▶ die resultierende Spannung am Ausgangspin messen – bei weniger als 2,4 V gilt der Test als nicht bestanden.

Eine weitere Schlüsselanforderung bei diesen DC-Messungen ist ein Schaltmodul mit hoher Geschwindigkeit und Lebensdauer, welches die SMU mit jedem Pin verbinden kann. Die vor kurzem veröffentlichten Matrixmodule mit 544 Koppelpunkten NI PXI-2535 und PXI-2536 verbinden die SMU PXI-4130 mit hunderten Prüfpunkten und können mit bis zu 50 000 Koppelpunkten/s schalten. Da diese Schaltmodule die FET-Technologie (FET, Feldeffekttransistor) nutzen, haben sie keine beweglichen Teile und deshalb eine nahezu unbegrenzte Lebensdauer – ein Schlüsselmerkmal für Produktionssysteme oder auch langlebige Validierungsanlagen.

Diese Module ergänzen die PXI-Plattform um wichtige Funktionalität für parametrische Messungen. Nach den parametrischen Tests stehen bei der Chipvalidierung normalerweise Funktionstests an. Bei einem einfachen digitalen Gerät schickt man dazu etwa mehrere Prüfvektoren an den Chip, um anhand einer sogenannten Wahrheitstabelle die Funktionalität der Ausgänge zu verifizieren. Handelt es sich jedoch um komplexere Systeme, z. B. Systeme auf einem Chip oder in einem Paket, hat die funktionale Verifizierung weniger Zugriff auf einzelne Komponenten, wodurch Kommunikation mit dem Chip auf höherer Ebene in den Vordergrund tritt.

Ist es nun besser, bei der Prüfung eines Mikrocontrollers einen Satz

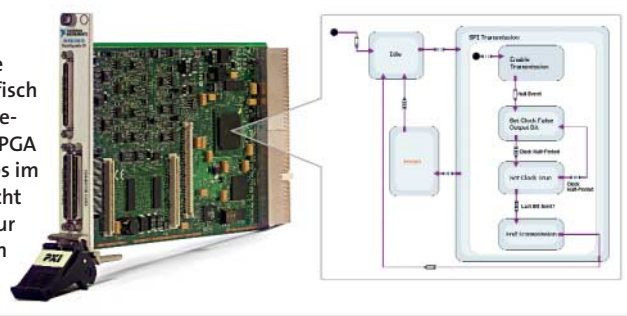
Prüfvektoren zu senden, während die erwartete Antwort gemessen wird, oder ist es besser, den Mikrocontroller einfach in Betrieb zu nehmen und Code darauf auszuführen? In diesem Falle ähnelt der Chiptest eher einem Test des Gesamtsystems als einem Systemfunktionstest.

## Zwei Methoden der Halbleitervalidierung

Im Fall des Mikrocontrollers oder auch, wenn die Kommunikation mit dem Chip über ein Protokoll wie SPI oder I2C läuft,

muss der Prüfer Befehle vernünftig senden und empfangen und sowohl als Sender als auch als Empfänger auftreten können. Einfach ausgedrückt sollte das Prüfsystem die Umgebung des Chips emulieren, um das Gerät unter den Bedingungen zu testen, unter denen es später auch verwendet wird. Dabei geht es nicht nur um eine Liste von Mustern, mit denen die erwarteten Ergebnisse erzeugt werden. Viel eher werden basierend auf den Mustern, die das Prüfsystem erhält, Entscheidungen getroffen und Reaktio- ▶

**Bild 2:** Das Labview Statechart Module stellt die SPI-Kommunikation grafisch dar, indem die Codeimplementierung auf einem FPGA für die Antwort des Chips im Gesamtsystem vereinfacht und ein intuitiver Weg zur Fehlerbehebung geboten wird



nen ausgelöst. Dafür müssen Entscheidungen oft innerhalb eines Timing-Zyklus des Geräts getroffen werden. Zwar gibt es Protokollprüfsysteme in Form von Benchtop-Geräten, allerdings ist für eine so komplexe Interaktion eine anspruchsvollere Lösung erforderlich.

Andre Evans veröffentlichte auf der International Test Conference (ITC) 2007 in Santa Clara, Kalifornien, eine Abhandlung zum Thema „The New ATE - Protocol Aware“, in der er Chip- und ATE-Hersteller zur Zusammenarbeit aufruft, um dieser Herausforderung zu begegnen. Darin heißt es: „Das fehlende Glied ist die programmierbare Logik für die Emulation. Diese Logik würde v. a. aus FPGAs bestehen und zwischen der Pinelektronik des ATE und dem übrigen ATE-Pin angesiedelt sein, die aus Vektorspeicher, Muster/Timing-Generatoren und Formatierer besteht.“

Das grafische Systemdesign bietet eine intuitive Methode zur Simulation der nativen Umgebung des Geräts auf einem FPGA: Anwender können das System grafisch um den Chip herum entwerfen, um die Umgebung zu emulieren. Beispiels-

weise kann mithilfe des Labview Statechart Module und Labview FPGA eine SPI-Kommunikation in das Modul NI PXI-7831R der R-Serie integriert werden. Die Integration der SPI-Kommunikation in ein FPGA ermöglicht die Antwort des Chips im Gesamtsystem als Sender und Empfänger. Eine Methodik, wie Anwender ein SPI-Timing-Diagramm in ein Statechart (Zustandsdiagramm) aufteilen können, sind folgende Einstellungen:

1. Chip Select auf LOW setzen,
2. Daten schreiben (0),
3. Clock auf HIGH setzen,
4. Clock auf LOW setzen,
5. Daten schreiben (1),
6. Clock auf HIGH setzen,
7. Clock auf LOW setzen,
8. Daten und Clock für bits 2 bis 15 wiederholen,
9. Chip Select auf HIGH setzen.

In diesem Beispiel gibt es fünf individuelle Schritte, wobei manche davon für jedes Datenbit wiederholt werden. **Bild 2** zeigt das Labview-Statechart für das Master-Gerät bzw. in diesem Fall den digitalen Testpin. Jeder der oben aufgeführten Schritt

te wird in fünf Zustände im Statechart aufgeteilt. Jeder Zustand entspricht dem Setzen oder Zurücksetzen einer der digitalen Leitungen, die der FPGA ausgibt.

Mit Statecharts und dem grafischen Systemdesign können Systeme durch Zustände, Übergänge und Ereignisse entworfen werden. Bei der Behebung von Fehlern können diese in der grafischen Darstellung angesehen werden, in der sie auftreten - in welchem Zustand, welchem Übergang oder während welchen Ereignisses. Dies entspricht der Fehlerbehebung in einer High-Level-Programmiersprache, im Gegensatz zur Maschinensprache, die Prüfvektoren entspräche. Nachdem Labview Statecharts erstellt wurden, können sie direkt auf ein PXI-basiertes FPGA-Zielsystem übertragen werden, wo sie als Schnittstelle zum Prüfling dienen. So können Protokollinformationen für jeden digitalen Pin hinterlegt werden.

## Mehr zur intuitiven Halbleitervalidierung

Die SMU PXI-4130 und die Schaltmodule PXI-2535/36 zusammen mit der FPGA-Technologie bringen die Leistung von Labview näher an den Pin und ermöglichen damit parametrische und funktionale Validierungstests, die intuitiv und gleichzeitig leistungsstark sind. Nutzen Sie diese Technologien zur Erstellung eines Halbleitervalidierungssystems, das die besten Eigenschaften von ATE-Systemen am Prüfplatz und in der Produktion kombiniert. Technische Ressourcen zur SMU PXI-4130 stehen unter [ni.com/deutsch](http://ni.com/deutsch), Info Code nsi8101 zur Verfügung.