



Schneller Test

Parallele Testkapazitäten erlauben ein schnelles und preiswertes Testen

Wie lassen sich kostengünstig und möglichst schnell in Multi-Chip-Package gehäuste Speicher-IC testen? Dieser Frage hat sich Advantest gewidmet und ein Testsystem entwickelt, welches den so genannten Single-Insertion-Endtest ermöglicht.



Bild: Fotolia, NIDerLander

„Die Halbleiterindustrie ist bekannt für riesige Investitionen“, holt Carlo Radice aus, um zu erklären, dass sich die bei der Produktion von Flash-Speichern liegenden Investitionen für das Testen dieser Bauteile auf etwa 10 Prozent der Gesamtsumme belaufen und sich letztendlich mit 5 bis 15 Prozent auf die Kosten des Endprodukts niederschlagen. Dass die Halbleiterhersteller kontinuierlich sowohl an ihren Produktionskosten als auch an den Kosten für Packaging und Test schrauben, ist nachvollziehbar.

Parallel dazu erfreuen sich Multi-Chip-Packages, auch MCP-Gehäuse genannt, vermehrter Aufmerksamkeit, kommen sie doch der Forderung nach immer kleineren Handheld-Geräten am besten nach. Gerade die Nachfrage nach Flash-Speichern nimmt weiterhin rasch zu. Einhergehend mit dem wachsenden Funktionsumfang solcher Handheld-Geräte „müssen auch die Speicher-ICs wachsen“, was Kapazität, Funktionsumfang und Geschwindigkeit anbelangt. Den einzigen Wermutstropfen, den es hierbei gibt, erläutert der System/Application Engineer Memory von Advantest Europe: „Es gibt bislang keine Testlösung, die einen kostengünstigen Test von MCPs erlaubt.“

Dem Miniaturisierungstrend folgend, können demnach mehrere Speicherchips in einem einzigen kleinen MPC-Gehäuse enthalten sein. Diese verschiedenen, übereinander gestapelten Speicher können bis zu drei separate Busse erfordern: einen für NOR/SRAM mit gemeinsamen Daten- und Adresspins, da die Befehls- und Datenschnittstellen ähnlich sind; einen weiteren für die leistungsfähigeren SDRAMs oder DDRs und der Dritte für NAND. „Dieser Gehäusotyp unterscheidet sich deutlich von den Gehäusen für Standardspeicher und kann bis zu 200 Pins aufweisen, einschließlich von bis zu 48 bidirektionalen Ein- und Ausgangspins“, räumt der Experte ein und erläutert das daraus entstehende Dilemma: „Einerseits bieten MCPs einen guten Kompromiss im Hinblick auf Flexibilität, Kosten und Baugröße, während andererseits die Testkosten steigen.“

Lösungsansätze und ihre Tücken

Denn bislang muss man MCPs auf mehreren Testern prüfen: Dabei werden RAM (SDRAM oder DDR) und NOR auf einem sehr schnellen Speichertester geprüft, um eine hohe Testabdeckung zu garantieren. Ein weiterer Tester mit anderer Hardwarekonfiguration sorgt für den NAND-Test. Ärgerlich dabei: „Dieses doppelte Handling reduziert nicht nur den Durchsatz, sondern erhöht auch die Komplexität der Testanlage“. Gemeint ist die schwierige Abstimmung der Auslastung der verschiedenen Testzellen mit jeweils speziellen Testschnittstellen, was nicht nur zu höheren Testkosten führt, sondern die Ausbeute reduziert. Eine mögliche Lösung für dieses Problem wäre der Einsatz eines Testers mit einer großen



Im Doppelpack sind sie besonders effizient: Das Speichertestsystem T5781 (l.) und das auch Engineering-Station genannte Testsystem T5781ES, die zusammen über alle erforderlichen technischen Funktionen verfügen, um schnell alle Arten von Bauelementen zu testen.

Anzahl von Kanälen. Jedoch: Dieses Verfahren löst allerdings nur das Problem des mehrfachen Handlings, führt aber zu einer schlechten Auslastung der Testerressourcen.

Single-Insertion-Endtest

Die beste Lösung besteht darin während des Testablaufs die Kanäle des Testers auf verschiedene Pins des Prüflings umzuleiten. In diesem Fall werden die Ressourcen des Testers zuerst für den Test von SDRAM/DRAM, später für NOR und schließlich für NAND verwendet, weshalb Carlo Radice freudvoll anmerkt: „Diese Lösung

erlaubt eine maximale Auslastung der Testressourcen und somit eine Optimierung der Anzahl der benötigten Testkanäle. Somit lässt sich der MCP-Test mit einem einzigen Handling und mit hoher Parallelität durchführen, wodurch der höchste Durchsatz der Testzelle erreicht wird.“ Den Single-Insertion-Endtest ermöglicht der Tester T5781 von Advantest durch

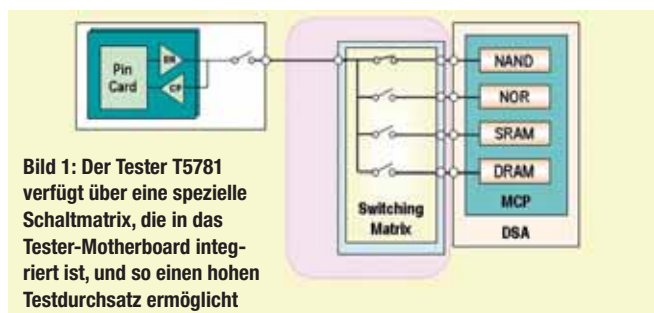
eine spezielle Schaltmatrix (**Bild 1**), die in das Tester-Motherboard integriert ist. Daher wartet das System mit einer Frequenz von 266 Megahertz und 533 Megabit pro Sekunde im DDR Modus auf. Eine flüssigkeitsgekühlte Technik ermöglicht die hohe Timinggenauigkeit. Die Per-Site-Architektur und die umfassenden Ein-/Ausgangs-Ressourcen bieten eine hohe Flexibilität, während gleichzeitig die Testzeit für NAND- und NOR-Bauteile reduziert wird: Schließlich erlauben 128 Sites einen parallelen Test von bis zu 512 Prüflingen. Hingegen soll die Engineering-Station T5781ES die „volle Leistung und Funktionalität“ des T5781 bieten, erklärt der Fachmann und fügt hinzu: „Mit dem ES-Modell lässt sich die Testprogrammentwicklung und die Bauteil-Evaluierung vereinfachen. Weiterhin wird die von der Produktqualifikation bis hin zur Massenproduktion benötigte Zeit dramatisch verringert.“ (rob) ■



„Mit unserer Lösung lässt sich der MCP-Test mit einem einzigen Handling und mit hoher Parallelität durchführen, wodurch der höchste Durchsatz der Testzelle erreicht wird.“
Carlo Radice von Advantest in Mailand

i infoDIREKT www.elektronikjournal.de 311ejl0808
Link zu Advantest

✓ VORTEIL Der Single-Insertion-Endtest soll einen hohen Durchsatz beim Testen von MCP gewährleisten



Auf einen Blick

Power im Doppelpack

Der Tester T5781 kombiniert mit der kompakten Engineering-Station T5781ES von Advantest soll laut Hersteller in Verbindung mit der Schaltmatrix eine ideale Lösung für den Test von MCPs darstellen: Alle erforderlichen technischen Funktionen für alle Arten von Bauteilen (NAND NOR, DDR usw.) stehen hierbei zur Verfügung, wodurch sich die Testzeit und deren Kosten deutlich verringern.