

Nach Augenmaß

Impedanzkontrollierte Leiterplatten in der Produktion

Der vor einiger Zeit erschienene erste Teil* der Serie über impedanzkontrollierte Leiterplatten beschäftigte sich schwerpunktmäßig mit der Arbeitsvorbereitung. Der zweite Teil nun soll wesentliche Faktoren der Produktion und der Prüfung solcherlei Platinen aufzeigen.

Als kurze Wiederholung: Um die vom Kunden geforderten Impedanzen am Produkt Leiterplatte zu realisieren, sind im Vorfeld verschiedene Prüfungen durchzuführen und Vorbereitungen zu treffen. In wenigen Fällen ist auf der Leiterplatte selbst vom Layouter bereits ein prüfbarer Leiterzug integriert. Normalerweise ist jedoch der Testcoupon (entspricht einem konstruierten Nachbau des zu kontrollierenden Leiterzugs) die einzige Möglichkeit, die vorgegebenen Impedanzen zu messen. Die für die Impedanz grundlegend relevanten Parameter sind die Leiterzuggeometrien, die Abstände dieser Leiter zu den Referenzlagen, evtl. Lacke und die Dielektrizitätskonstante (ϵ_r) der Lamine. In der Matrix ist die Abhängigkeit bzw. Wertigkeit am Beispiel eines typischen Microstrips bzw. von Differential Pairs dargestellt (siehe **Tabelle**).

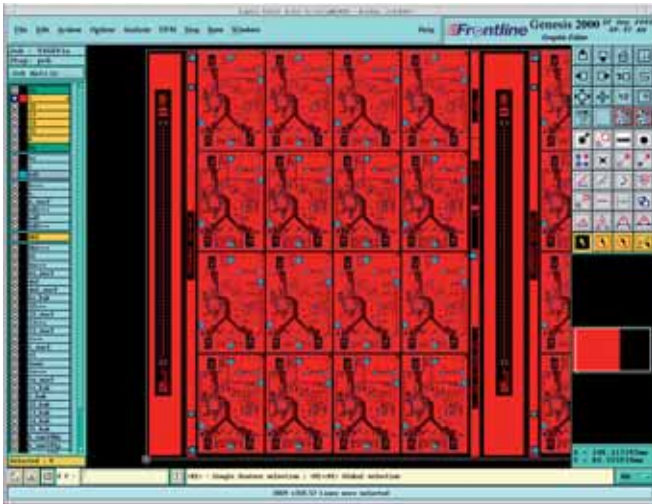
Die Leiterzugbreite hat den größten Anteil am Impedanzwert, wobei die Geometrie durch Ätzen einer definierten Basiskupferschicht (bei Innenlagen) oder galvanischem Aufbau von Kupfer in Verbindung mit einem nachfolgenden Ätzprozess (bei Außenlagen) realisiert wird. Je nach Produktionsverfahren ist der Galvanikprozess der Einfluss mit der größten Streuung. Mit Streuung ist gemeint, dass die abgeschiedene Kupferstärke beim Pattern-Plating-Verfahren layout-

bedingt auf dem gesamten Fertigungsnutzen lokal um bis zu +100 Prozent gegenüber dem gewünschten Nominalwert von beispielsweise 35 μm abweichen kann. Folglich ist es immer sinnvoll, den Lagenaufbau so zu wählen, dass impedanzdefinierte bzw. zu kontrollierende Leiter und Referenzlagen auf einem Kern gefertigt werden, und zwar mit definiertem Abstand und ohne Presstoleranzen, und das Leiterbild ohne Galvanikprozess (nur Print&Etch) realisiert werden kann. In diesem Fall hat man die größten Einflussfaktoren, die einen falschen Impedanzwert zur Folge haben könnten, eliminiert.

Testpanel oder nicht?

Viele Leiterplattenhersteller produzieren ein Testpanel, um die damit erzielten Impedanzwerte zu verifizieren. Contag macht dies im Normalfall nicht. Um die errechneten Werte tatsächlich zu erreichen, muss der Platinenhersteller seine Produktionsprozesse sehr gut kennen und diese auch konstant reproduzieren können. Das favorisierte Panel-Plating-Verfahren hat den Vorteil, dass sich Kupferschichtdicken von ± 5 Mikrometer über das komplette Produktionspanel und damit sehr konstante Leiterzuggeometrien realisieren lassen. Bei kritischen Layouts sind zum Teil weitere Impedanzmodelle zu berech-

*Der erste Teil erschien im Sonderheft 06a/08 „Fertigungstechnik“ des elektronikJOURNAL.



Parameter	Einflussgröße am Impedanzwert	
	Microstrip	Differential Pairs
Isolationsabstand (Abstand des Leiters zur Referenzlage)	~ 48%	~ 53%
Leiterzugbreite	~ 32%	~ 27%
Leiterzughöhe	~ 7%	~ 9%
Dielektrizitätskonstante	~ 13%	~ 11%

Tabelle: Die für die Impedanz grundlegend relevanten Parameter sind: Leiterzugeometrien, Abstände dieser Leiter zu den Referenzlagen, evtl. Lacke und die Dielektrizitätskonstante (ϵ_r) der Lamine. In der Tabelle ist die Abhängigkeit bzw. Wertigkeit am Beispiel eines typischen Microstrips bzw. von Differential Pairs dargestellt.

Bild links: Teststreifen auf dem Nutzen schluckt Platz, wodurch die Panelauslastung in Bezug auf die bestellten Leiterplatten deutlich sinkt.

nen, um die Leiterplatten schon während der Produktion zu unterschiedlichen Zeitpunkten prüfen zu können. Dies wirkt sich doppelt positiv auf die Preiskalkulation aus: Tests sind in der Regel nicht notwendig und die Panelfläche lässt sich wegen der gleichmäßigen Kupferverteilung unabhängig vom Layout komplett nutzen.

Wenn auch das Panel-Plating-Verfahren den Vorteil der gleichmäßigen Kupferschichtdicke hat, muss man sich beim Ätzen trotzdem mit den unterschiedlichen Bedingungen (ungleichmäßige Kupferverteilung des Layouts) auf den Signallagen auseinandersetzen. HDI-Leiterplatten haben hier den Vorteil, dass aufgrund des hochdichten Kupferanteils auf der ganzen Leiterplatte das Ätzmedium gleichmäßig arbeitet. In der Regel weisen Leiterplatten jedoch eine sehr ungleichmäßige Verteilung auf. Dies hat zur Folge, dass Leiterzugbreiten um ± 30 Mikrometer prozessbedingt differieren - was unmittelbar als absoluter Fehler in die Impedanz eingeht. In einigen Fällen ist demnach eine Anpassung des Layouts erforderlich. Hier hat der Leiterplattenhersteller die Möglichkeit, diesem mit partiellem Swell, also der nachträglichen Verbreiterung des Leiters im Layout, entgegenzuwirken. Alternativ ist es möglich, Freiflächen mit Kupfer zu fluten. Um sicherzustellen, dass wirklich alle Leiterplatten den Impedanzanforderungen genügen, fordern Kunden teilweise Testcoupons über das Produktionspanel verteilt - in seltenen Fällen sogar einen Coupon für jede Leiterplatte. Dies hat in der Regel zur Folge, dass die Panelauslastung in Bezug auf die bestellten Leiterplatten deutlich sinkt: Kalkulatorisch ist dann der Coupon als eigene Leiterplatte zu berücksichtigen.

Feste Toleranzen

Jedoch hat der Platinenhersteller auf einige Toleranzen keinen Einfluss. Die Materialeigenschaften der Lamine und Lacke werden zwar von den Herstellern garantiert, unterscheiden sich jedoch auch in einem gewissen Toleranzfeld zwischen den Produktionschargen. Resultierend daraus sind Standardtoleranzen von ± 10 Prozent vom Impedanzwert meist problemlos zu realisieren. Sind die Abstände kritischer Leiterzüge zueinander (Separation) oder der Abstand zu

den Referenzlagen (zum Beispiel wegen dem Aspect Ratio von Blindvias) zu gering gewählt, hat der Leiterplattenhersteller keine Möglichkeit, die notwendigen Anpassungen vorzunehmen. Insbesondere bei reduzierten Toleranzvorgaben von ± 5 Prozent ist die frühzeitige Abstimmung mit dem Leiterplattenhersteller sehr wichtig. Hier nutzen bereits viele Kunden den Service von Contag und diskutieren während der Layout- und Entwicklungsphase die Gestaltung kritischer Bereiche und Parameter.

Die Prüfung der impedanzdefinierten Leiterzüge erfolgt abhängig vom Impedanzmodell mit unterschiedlichen Prüfspitzen. Diese sind gestaffelt in Werte für Wellenwiderstände - dem Widerstand, der auf der Leiterplatte gemessen werden soll. Durch die angepassten Prüfspitzen ist der Messfehler kleiner 1 Ohm. Insbesondere bei Impedanztoleranzen kleiner ± 10 Prozent ist es erforderlich, sich frühzeitig mit dem Leiterplattenhersteller auseinanderzusetzen. Dabei ist erforderlich, möglichst alle relevanten Punkte zu besprechen, so dass der Yield vertretbare Größen erreicht. Toleranzen von ± 5 Prozent sind in der Regel nicht prozesssicher zu realisieren. Um eine ausreichend große GUT-Stückzahl zu erreichen, ist zum Teil deutlich mehr zu produzieren und ein enormer Prüfaufwand zu leisten. Nach der Herstellung der Leiterplatte werden die Impedanzen kontrolliert und protokolliert. Die Messergebnisse sind auf Anfrage jederzeit verfügbar. (Karim Richlowski ist Leiter CAM bei Contag / rob)

infoDIREKT www.elektronikjournal.de
Link zu Contag

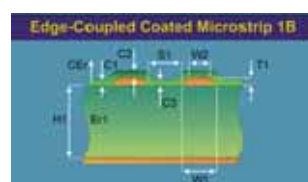
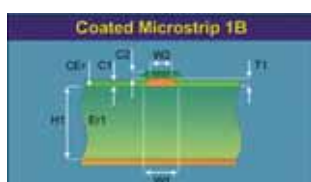
349ej1008

VORTEIL Contag hat die Möglichkeit geschaffen, die geforderten Impedanzen auf der Leiterplatte des Kunden zu prüfen und die Leiterplatte bzw. deren Leiterzüge und den Lagenaufbau bei Bedarf anzupassen.

Auf einen Blick

Heikle Impedanz

Aufgrund deutlich steigender Übertragungsfrequenzen, d.h. kurzer Pulsanstiegszeiten von elektronischen Bauteilen, ist es in der Hochfrequenztechnik nötig geworden, auch die relevanten Leiter wie ein Bauteil zu betrachten. HF-Signale werden abhängig von verschiedenen Parametern auf der Leiterplatte reflektiert, d.h. die Impedanz (Wellenwiderstand) gegenüber dem Sendebauteil verändert sich. Folglich ist es immer sinnvoll, den Lagenaufbau so zu wählen, dass sich impedanzdefinierte bzw. zu kontrollierende Leiter und Referenzlagen auf einem Kern fertigen lassen und sich das Leiterbild ohne Galvanikprozess realisieren lässt. In diesem Fall hat man die größten Einflussfaktoren, die einen falschen Impedanzwert zur Folge haben könnten, eliminiert.



Um die definierten bzw. berechneten Impedanzen in der Leiterplatte tatsächlich zu erreichen, muss der Leiterplattenhersteller seine Produktionsprozesse sehr gut kennen und beherrschen.