

Die Evolution der Spannungsregler

Stärken und Schwächen der unterschiedlichen Regler-Topologien, Teil 1

Dave Haisley, Norbert Wank **Dieser Beitrags beschreibt die Entwicklung der linearen Spannungsregler, deren Markt mittlerweile ein Volumen von über einer Milliarde Dollar hat. Er erläutert die Stärken und Schwächen der unterschiedlichen Regler-Topologien und wie die DMOS-Topologie jetzt die wichtigsten Stärken aller früheren Topologien in sich vereinigen und damit eine Antwort auf veränderte Design-Prioritäten, Leistungsanforderungen und Kostenerwartungen darstellt.**

Der Trend zu immer weiter miniaturisierten Designs verlangt auch von Spannungsreglern kleinere Baugröße, geringere Wärmeentwicklung und deshalb auch eine niedrigere Ruhestromaufnahme. Die neue Generation von ‚Low Drop Out‘ Spannungsreglern (LDO) profitiert dabei entscheidend von der BCDMOS-Prozesstechnologie (Bipolar/CMOS/DMOS). Diese ermöglicht den Einsatz von N-DMOS-Durchlasstransistoren, mit denen sich ein sehr niedriger Spannungsverlust (Drop Out) und eine Verringerung der Stromaufnahme um mehrere Größenordnungen realisieren lassen. Zusätzlich kann auf den großen Ausgangskondensator, der früher wegen der Stabilität und des Ansprechverhaltens erforderlich war verzichtet werden.

Entwicklung der Durchlass-Elemente

Als Anfang der 70er Jahre die ersten linearen Spannungsregler auf den Markt kamen, besaßen alle vollständig integrierten Spannungsregler, im Unterschied zu jenen, die externe Durchlass-Elemente ansteuerten, eingebaute NPN-Durchlasselemente. Für diese Wahl bestanden gute Gründe, und Spannungsregler dieser Bauart dominierten in den nächsten 15 Jahren den Großteil des Markts.

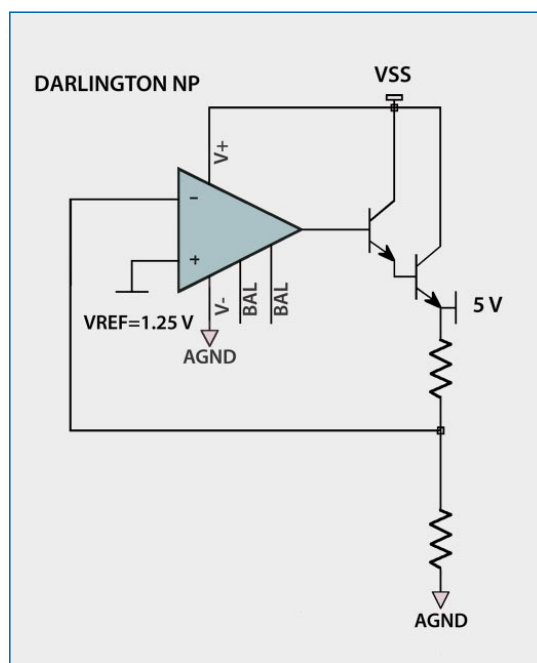


Bild 1: Spannungsregler mit NPN-Transistoren in Darlington-Konfiguration

Überlegene N-Elemente

Wegen der effizienteren Nutzung der vorhandenen Halbleiterfläche ergaben NPN-Elemente speziell in Leistungsanwendungen kosteneffektive Lösungen. Zu den Hauptvorzügen eines NPN-Durchlass-Elements gehört die Tatsache, dass es sich bei den Ladungsträgern um Elektronen handelt. Diese sind, im Vergleich mit PNP-Lösungen, bei gleicher Chipfläche, in der Lage einen wesentlich höheren Ausgangsstrom zu liefern bzw.

ermöglichen kleinere Halbleiter bei gleicher Stromstärke. Dieser Vorteil ergibt sich neben anderen Faktoren daraus, dass Elektronen eine mehr als doppelt so hohe Mobilität wie Löcher aufweisen, so dass ein NPN-Transistor in der Regel höhere Stromverstärkung-, Transistfrequenz usw. aufweist als ein PNP-Transistor. Diese Vorteile gelten sogar für den MOS-Bereich, wo NMOS-Produkte leistungsfähiger sind als solche in PMOS-Technik.

Niedrige Masseströme

Die höhere Stromverstärkung von NPN-Transistoren sorgt dafür, dass der Massestrom bei einem NPN-Regler geringer ist als bei einem PNP-Spannungsregler (bei gleicher Chipfläche). Entscheidender noch ist jedoch die Anordnung des Durchlass-Elements innerhalb des Spannungsreglers. Ein NPN-Transistor ist als ‚Folger‘ angeordnet, dessen Emitter mit dem Verbraucher verbunden ist. Der zur Ansteuerung des Durchlass-Elements dienende Basisstrom fließt hier also ebenfalls in den Verbraucher und muss nicht an die Masse abgeleitet werden wie bei einem PNP-Transistor.

Einfachere Kompensation

Zu den wichtigsten Vorzügen der frühen NPN-Linearregler gehörte ihre einfache Anwendung, denn sie waren einfach zu kompensieren. Ihre Kennlinie wies eine dominierende Polstelle auf. Die aus dem Verbraucher resultierende Polstelle war kein Bestandteil der Regelschleife, und die Größe und der ESR des Ausgangskondensators waren unkritisch. Die Größe des Ausgangskondensators spielte zu dieser Zeit eine untergeordnete Rolle, da es noch nicht allzusehr auf eine möglichst kleine

Leiterplattenfläche ankam und es praktisch keine portablen und/oder batteriebetriebenen Geräte gab. Dieser grundsätzlich sehr wünschenswerte Pluspunkt stand deshalb zunächst hinter dem ersten großen Entwicklungsschritt auf dem Gebiet der Linearregler zurück, der eine Verringerung der Drop-out-Spannung brachte. Der NPN-Spannungsregler hätte den Markt vielleicht noch längere Zeit dominiert, wäre er nicht mit einem gravierenden Problem behaftet, nämlich der hohen Drop-out-Spannung.

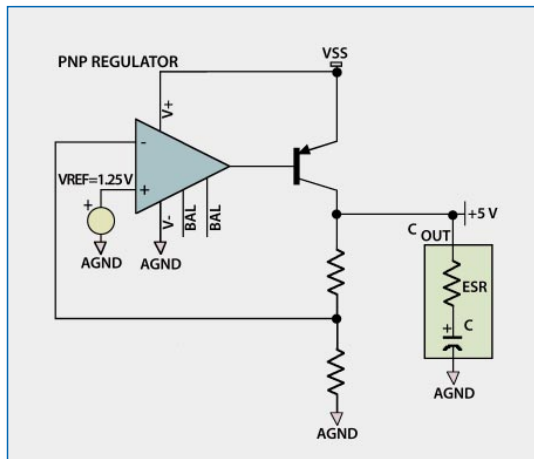


Bild 2: PNP-Regler benötigen einen großen Ausgangskondensator

In den meisten frühen NPN-Spannungsreglern wurde für das Durchlass-Element die beliebte Darlington-Konfiguration gewählt (Bild 1). Leider ergibt sich hierbei ein Spannungsabfall von zwei Basis-Emitter-Spannungen zwischen der Eingangsspannung (am Kollektor) und der Ausgangsspannung (am Emitter). Wenn die Eingangsspannung unter die benötigten $2 \times U_{BE}$ fällt, gerät die Darlington-Konfiguration in die Sättigung, so dass der Spannungsregler rasch seine Regelfähigkeit verliert. Selbst bei Verwendung eines sogenannten Verbund-NPN (Ansteuerung der Basis des NPN-Transistors mit einem PNP-Transistor) betrug die Drop-out-Spannung nahezu 1 V. Mitte der 80er Jahre machte dieses Problem die Entwicklung einer neuen Art von Spannungsreglern, den sogenannten „Low-Drop-Out“- oder LDO-Spannungsreglern, erforderlich.

Der LDO-Spannungsregler

Als sich auf dem Markt die Tendenz zur Verringerung der Leistungsaufnahme einstellte und die ersten Schaltnetzteile erschienen, führte die Notwendigkeit niedrigerer Drop-out-Spannungen zur Einführung der ersten LDO-Spannungsregler. Häufig wurden zur Nachregelung Linearregler eingesetzt, um Schaltstörungen und ESR-bedingte Spitzen zu unterdrücken. Gemeinsames Merkmal aller frühen LDO-Spannungsregler war das PNP-Durchlasselement.

Dabei wurde der Emitter mit dem Eingang und der Kollektor mit dem Ausgang verbunden. Diese Emitterschaltung machte es möglich, das Durchlasselement mit abnehmender Eingangsspannung bis weit in die Sättigung zu treiben. Bei der Drop-out-Spannung handelte es sich daher nicht um eine Basis-Emitter-Spannung von ca. 0,6 V

wie bei den NPN-Spannungsreglern, sondern um die wesentlich geringere Kollektor-Emitter Sättigungsspannung $U_{CE(SAT)}$ des PNP-Transistors. Frühe PNP-Spannungsregler erreichten so Drop-out-Spannungen von 500 bis 800 mV. Als ausgefeiltere Linearprozesse verfügbar wurden, konnten PNP-Designs mit vertikalen PNP-Transistoren – zumindest bei geringer Belastung – sogar den Bereich unter 500 mV erobern. Ungeachtet der zahlreichen Mängel der PNP-Durchlasselemente

konnten PNP-LDOs wegen dieses entscheidenden Vorteils gegenüber den NPN-Designs ihre Stellung auf dem Spannungsregler-Markt halten. Dennoch sind die Nachteile von PNP-Durchlasselementen in LDO-Spannungsreglern gravierend:

Großer Ausgangskondensator

Der mäßige Frequenzgang von PNP-Transistoren hat in Verbindung mit der Emitterschaltung zur Folge, dass sich in der Regelschleife eines PNP-LDO eine Polstelle bei einer niedrigen Frequenz einstellt. Es ist deshalb ein sehr großer Ausgangskondensator zur Stabilisierung nötig (Bild 2). Bei den frühen Spannungsreglern auf der Basis lateraler PNP-Transistoren war es die Regel, dass C_{OUT} mindestens 10 μF betragen musste. Prozessverbesserungen und die Einführung vertikaler Leistungs-PNPs trugen dazu bei, den minimalen C_{OUT} -Wert auf 1 bis 2 μF zu senken. Der attraktive Bereich unter 1 μF , in dem der Platzbedarf und der Preis der Kondensatoren drastisch zurückgehen, war im allgemeinen jedoch außer Reichweite. Hinzu kommt, dass kleine Kondensatoren nicht die hohen Spitzenströme liefern können, die notwendig sind, um das mäßige Ansprechverhalten der PNP-Transistoren zu kompensieren.

Kritisch: Der ESR des Ausgangskondensators

Die zusätzliche Polstelle des PNP-Transistors muss durch eine Nullstelle in der Übertragungsfunktion ausgeglichen werden, die sich durch den ESR (Equivalent Series Resistance) des Ausgangskondensators ergibt. Allerdings muss

der ESR in einen streng vorgegebenen Bereich fallen, damit der LDO nicht zu schwingen beginnt. Außerdem muss der ESR auch unter dem Einfluss prozess- und temperaturbedingter Schwankungen in diesem Bereich bleiben. Erschwerend kommt hinzu, dass viele Kondensatorhersteller den maximalen ESR-Wert wesentlich höher spezifizieren als den tatsächlichen, typischen Wert. Die ESR-Empfindlichkeit von PNP-LDOs und die hohe Temperatur- und Frequenzabhängigkeit des ESR sind häufiger als alle anderen Phänomene für schwingende Spannungsregler verantwortlich. Eine teilweise Lösung stellt die Verwendung von größeren und teureren Tantalkondensatoren dar, mit denen sich die Toleranz und ESR-Stabilität im zulässigen Bereich halten lässt. Der geforderte Mindest-ESR begrenzt zwangsläufig das Ansprechverhalten des Spannungsreglers.

Ruhestromaufnahme steigt im Drop-out weiter an

Bei PNP-Durchlasselementen fließt der Steuerstrom vom Eingangsanschluss

aus der Basis des Transistors und durch die Steuerschaltung zu Masse und wird damit zu einem Bestandteil des Massestroms und damit der Ruhestromaufnahme. Dieser Strom kann einen beträchtlichen Teil der Verluste eines LDO-Spannungsreglers ausmachen und den Wirkungsgrad wesentlich verschlechtern. Da sich die Stromverstärkung verringert, wenn der Kollektorstrom über einen bestimmten, bei PNP-Transistoren ziemlich niedrigen Wert ansteigt, wird der ohnehin kleine Beta-Wert weiter verringert, was den Massestrom weiter in die Höhe treibt (Bild 3 und 4). In der Nähe des Drop-out-Bereichs ist die Situation noch wesentlich ungünstiger. Wenn ein Bipo-

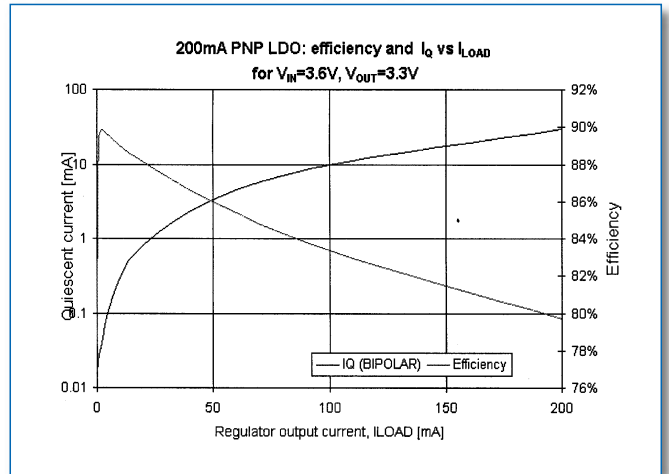


Bild 3: Massestrom in Abhängigkeit vom Ausgangsstrom bei einem gängigen 200-mA-LDO mit PNP-Durchgangstransistor. Über den gesamten Lastbereich verändert sich der Ruhestrom von 20 µA auf 30 mA

lartransistor in die Sättigung gerät, verschlechtern sich alle seine technischen Daten einschließlich des Beta-Werts rapide. Wenn $U_{IN}-U_{OUT}$ unter ca. 500 mV sinkt, gerät der PNP-Transistor in die Sättigung, und der Massestrom kann von unter einem Milliampere auf mehrere Milliampere emporschnellen und damit einige Prozent des Nenn-Ausgangsstroms eines LDO-Spannungsreglers ausmachen. Die Details zu den Verlusten eines PNP-LDO sind häufig so tief in den Datenblättern verborgen, dass es sehr großer Sorgfalt bedarf, um die wirklichen Konsequenzen abschätzen zu können. Zum Beispiel wird der Massestrom nicht selten bei niedrigen Lastströmen und/ oder mit Eingangsspannungen spezifiziert, die wesentlich höher als die Drop-out-Spannung sind. Dies ist einer der Fallstricke im Zusammenhang mit PNP-LDOs: Genau dann, wenn am sparsamsten mit der in der Batterie gespeicherten Energie umgegangen werden müsste, ist der Stromverlust der PNP-LDOs am höchsten.

Senkung des Ruhestroms

Mit dem Aufkommen kostengünstiger CMOS-Foundrys wurden die klassischen PNP-LDO-Regler neu aufgelegt und der PMOS-LDO (Bild 5) kam auf den Markt. PMOS-Durchlasselemente werden in der selben Konfiguration eingesetzt wie PNP-Transistoren, lösen aber das Problem der hohen Ruhestromaufnahme, das wegen der zunehmenden Tendenz zu tragbaren, batteriebetriebenen und energiesparenden Designs eine immer wichtigere Rolle spielt. Da MOS-Bauelemente spannungsgesteuert sind, geschieht das Ansteuern des Durchlass-Elements stromlos, und der Massestrom

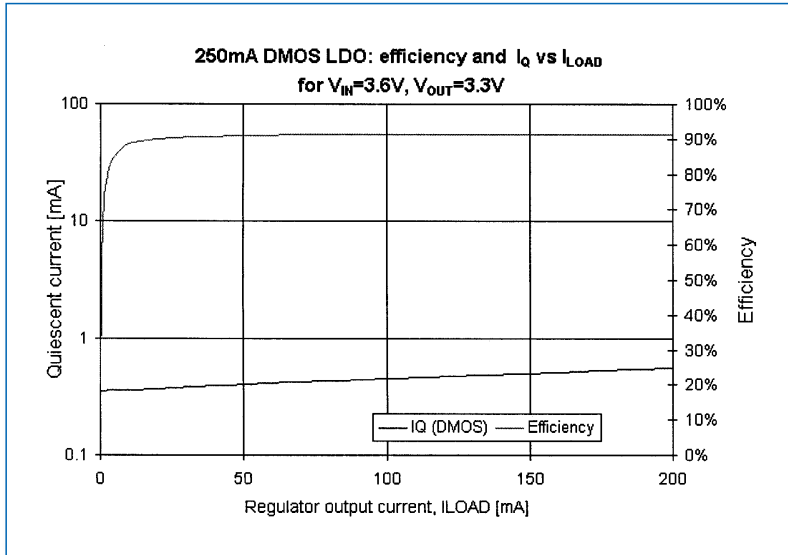


Bild 4: Ruhestrom vs. Ausgangsstrom für einen typischen 200-mA-DMOS-LDO. Im Gegensatz zum PNP-Design ist der Ruhestrom nahezu konstant.

beschränkt sich auf den für den Betrieb der Regelschaltung benötigten Strom. Auf hohe Stückzahlen eingerichtete CMOS-Foundrys haben den Herstellern die Möglichkeit gegeben, PMOS-LDOs zu günstigeren Preisen anzubieten als vertikale PNP-basierte Designs, die in der Regel Prozesse mit mehr Masken erfordern. Allerdings bietet die PMOS-

sehen davon bringt die PMOS-Technik weitere Nachteile mit sich. Ein PMOS-LDO regelt den Ausgangsstrom, indem er das Gate-Potential unter das Potential an der Source (d.h. am Reglereingang) drückt. Wenn sich der LDO im ‚Low-Drop‘-Bereich befindet, tritt das Durchlass-Element in den linearen Bereich der Transistorkennlinie ein. Hier ist der Strom,

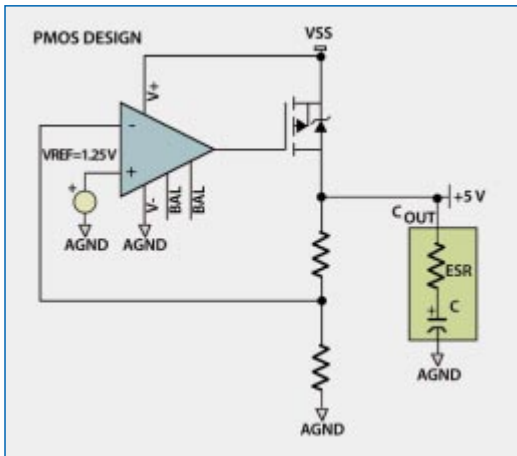


Bild 5: Topologie eines PMOS-Spannungsreglers

Technik nicht nur Vorteile. Trotz ihres Preisvorteils sind PMOS-Designs nach wie vor mit zwei entscheidenden Mängeln behaftet:

- ▷ sie benötigen nach wie vor eine große Ausgangskapazität und
- ▷ der ESR des Ausgangskondensators muss immer noch in einen bestimmten Bereich fallen.

Wegen der gleichen grundsätzlichen Faktoren sind PMOS-Bauelemente genau wie PNP-Transistoren empfindlich in Bezug auf die Ausgangskapazität. Abge-

den die Schaltung abgeben kann, direkt proportional zur Eingangsspannung. Das heißt, dass mit sinkender Drain-Source-Spannung U_{DS} die zum Aufrechterhalten des Ausgangsstroms nötige Eingangsspannung eigentlich zunehmen müsste, was in den meisten Fällen nicht möglich ist. Bei niedrigen Eingangsspannungen wird am Gate-Anschluss eine Spannung nahe dem Massepotenzial erzwungen. Die Schaltung hat dann nicht mehr genug Spielraum, um den Kanal des Durchlass-Element anzureichern und verliert ihre Regeleigenschaften.

Eingeschränkter Eingangsspannungsbereich

Obwohl moderne Submicron-CMOS-Prozesse mit niedrigen Durchlasswiderständen aufwarten können, sind der U_{GS} - und der U_{DS} -Wert einer MOS-Schaltung auf wenige Volt beschränkt. CMOS-Regler können deshalb im allgemeinen nur in Applikationen mit bis zu 7 V genutzt werden.

Auf einem CMOS-Prozess basierende Regler sind allgemein weniger präzise als bipolare Lösungen. In erster Linie erklärt sich dies aus dem niedrigeren g_m -Wert (Transconductance) der MOS-Bauelemente. Ein grosser Teil der Genauigkeitseinbußen entsteht in dem Fehlerverstärker, der ein Bestandteil der Regelschleife ist. MOS-Verstärker besitzen sowohl eine höhere Offsetspannung, die das Erzielen einer hohen Ausgangsgenauigkeit erschwert, als auch eine niedrige

Technologie	Durchlass-Transistor	Drop-out-Spannung	C_{OUT} (min)	Ruhestrom	Genauigkeit
BCDMOS	N-DMOS	sehr gering	0	Gering	gut
CMOS	PMOS	gering	1 μ F	Gering	befriedigend
BiCMOS/CB	VPNP	gering	0,5 μ F	Hoch im Drop-Out-Bereich	sehr gut
Bipolar	LPNP	mittel	2 μ F	Hoch im Drop-Out-Bereich	gut
Bipolar	NPN	hoch	0	mittel	gut

Tabelle 1: Technologievergleich

Verstärkung, die es schwierig macht, durch Last- und Eingangsspannungsschwankungen hervorgerufene Fehler auszuregulieren.

DMOS löst Probleme

Durch ihre zahlreichen Stärken ist DMOS zur bevorzugten Technologie für Leistungsbauelemente im Bereich von 1 bis 10 A geworden. Bis zur Einführung der DMOS-LDO-Spannungsregler der Familie REG 101/ 102/103 durch *Burr-Brown* jedoch konnte sie nicht in den Bereich unter 1 A vordringen. Nachfolgend einige Vorteile der DMOS-Technologie. Zur Zeit handelt es sich bei den meisten DMOS-Bauelementen um Sonderausführungen von NMOS, die für **niedrige $R_{DS(on)}$ -Werte** in Leistungsanwendungen optimiert sind. In der DMOS-Struktur dient eine diffundierte Sperrschicht zur Bildung des Kanals, anstatt den Kanal auf photolithographischem Weg zu definieren. Diese Struktur lässt sich sehr effizient gestalten und ergibt einen extrem niedrigen $R_{DS(on)}$ -Wert. Moderne DMOS-Prozesse nähern sich mit ihren $R_{DS(on)}$ -Werten an die theoretischen Grenzwerte von Silizium an. Selbstverständlich ist eine **niedrige Drop-out-Spannung** nach wie vor die Hauptforderung an einen LDO-Spannungsregler. Im Falle eines MOS-Durchlasselements muss hierfür der $R_{DS(on)}$ -Wert klein sein. Im Prinzip ergibt der $R_{DS(on)}$ -Wert des DMOS-Elements zusammen mit dem Laststrom die Drop-out-Spannung des LDO, solange die Ansteuer- und Regelschaltungen die Regelfunktion aufrechterhalten können. In dieser Situation kann die DMOS-Technologie ihre Stärken ausspielen, bietet sie doch die geringste Drop-out-Spannung pro Flächeneinheit und die niedrigste Ansteuerspannung aller Transistorbauarten. LDO-Spannungsregler auf DMOS-Basis können deshalb mit ihren

Drop-out-Werten potentiell selbst die besten PNP-basierten Designs übertreffen. Durch den Einsatz eines N-Durchlasselements in der Folgerkonfiguration wird die Kompensation entscheidend vereinfacht, und es entsteht ein Spannungsregler, dessen Stabilität nicht von Art und Größe des Ausgangskondensators abhängt.

Die DMOS-Technologie bietet nicht nur die besten Eigenschaften hinsichtlich der Drop-out-Spannung, sondern erreicht oder übertrifft auch die Stärken früherer Generationen von Durchlasselementen. In **Tabelle 1** findet man eine Aufstellung der Vorteile der DMOS-Technologie und ein Vergleich mit früheren Generationen von Linearreglern.

Teil 2 dieses Artikels (erscheint in der Februar Ausgabe) wirft einen genaueren Blick auf die interne Funktionsweise der DMOS-Topologie und beschreibt die Vorteile ihres Einsatzes in Leistungs-LDOs. Eine neuartige Servoschaltung ersetzt die früheren, in Ladungspumpen-Technik gestalteten Gate-Ansteuerschaltungen, um die mit ihnen verbundenen Schaltstörungen zu vermeiden. Ebenso wird deutlich gemacht, welche Vorteile Spannungsregler in BCDMOS-Technik auch für bipolare Schaltungen haben. (oe)



Dave Haisley und Norbert Wank sind Mitarbeiter der Firma Burr-Brown.