

Hard- und Soft-Cores eröffnen vielfältige SOPC-Applikationen

Embedded-Processor-Design mit PLDs

Unter der Bezeichnung Excalibur hat Altera eine neue Design-Strategie und Roadmap für die Embedded-Processor-Integration in SOPC-Designs (System-On-a-Programmable-Chip) vorgestellt. Mit dem Zugriff auf gängige Prozessorarchitekturen durch Lizenzvereinbarungen mit MIPS Technologies und ARM sowie der Verfügbarkeit des firmeneigenen RISC-basierenden Nios Embedded-Prozessors mit Entwicklungskit steht eine leistungsfähige Lösung für die Systemintegration in programmierbaren Logikbausteinen zur Verfügung.

Eingebunden in ein offenes Geschäftsmodell haben mit dieser kompletten SOPC-Lösung alle Entwickler die Möglichkeit, die Marktanforderungen bei geringerem Risiko und Kosten im Vergleich zu Lösungen mit ASICs, ASSPs und Standalone-Embedded-Prozessoren zu erfüllen.

Die Kombination der Programmierbarkeit mit Logik, Speicher und jetzt auch Embedded-Prozessoren eröffnet Entwicklern beim Einsatz der Excalibur-Lösungen in SOPC-Applikationen neue Möglichkeiten an Design-Flexibilität

und Integration. Bisher war man bei ASICs mit der festgelegten Funktion, den hohen NRE- und Re-Design-Kosten sowie mit Mindeststückzahlen konfrontiert. Anwender von ASSPs und Standalone-Embedded-Prozessoren beklagten dagegen oft den Mangel an Flexibilität und Integration. Darüber hinaus waren führende Prozessor-Cores oft durch die traditionellen Lizenzierungsmodelle nur eingeschränkt verfügbar. Das offene Geschäftsmodell von Altera wird die SOPC-Adaptierung durch die Designer beschleunigen, indem wichtige IP-Elemente

zur Verfügung gestellt werden, ohne die Komplexität und Kosten, wie sie von ASICs oder prozessor-basierenden Lizenzierungen bekannt sind.

Eine komplette Lösung

Es gibt vier Schlüsselfaktoren für die Implementierung eines kompletten Systems in einen programmierbaren Logikbaustein:

- ▷ hochdichte Silizium-Produkte für die Integration der Hauptfunktionen,
- ▷ ausgefeilte Entwicklungs-Tools, die Hardware- und Software-Design-Methoden unterstützen,
- ▷ Unterstützung der Wiederverwendbarkeit im Design durch IPs mit DSP-, PCI- oder Embedded-Prozessor-Funktionalität,
- ▷ Wichtige Partnerschaften für die Bereitstellung der Design-Infrastruktur.

Jetzt stehen alle erforderlichen Komponenten zur Verfügung: Die programmierbaren Logikbausteine der APEX-Familie mit bis zu 1,5 Millionen Gattern, leistungsfähige Tools von Altera und Third-Party-Anbietern, zahlreiche IPs im Rahmen des AMPP- und MegaCore-Programmes und Embedded-Prozessor-Cores in verschiedenen Leistungsbereichen.

Excalibur Embedded-Processor-Lösungen

Die angebotenen Lösungen umfassen Embedded-Processor-Architekturen, leistungsfähige Hardware- und Software-Code-Compiler, PLD-Entwicklungstools sowie Entwicklungs-Hardware.

Um leistungsfähige System-Designs auf Basis von existierenden Prozessorarchitekturen unterstützen zu können, hat Altera die Architekturen von ARM und MIPS lizenziert. Diese Lizenzvereinbarungen ermöglichen es, diese Cores auf Transistorebene zu implementieren und in PLD-Architekturen von Altera zu integrieren. Die Vereinbarungen umfassen auch alle notwendigen Peripherie-Cores für eine komplette SOPC-Lösung. Mit

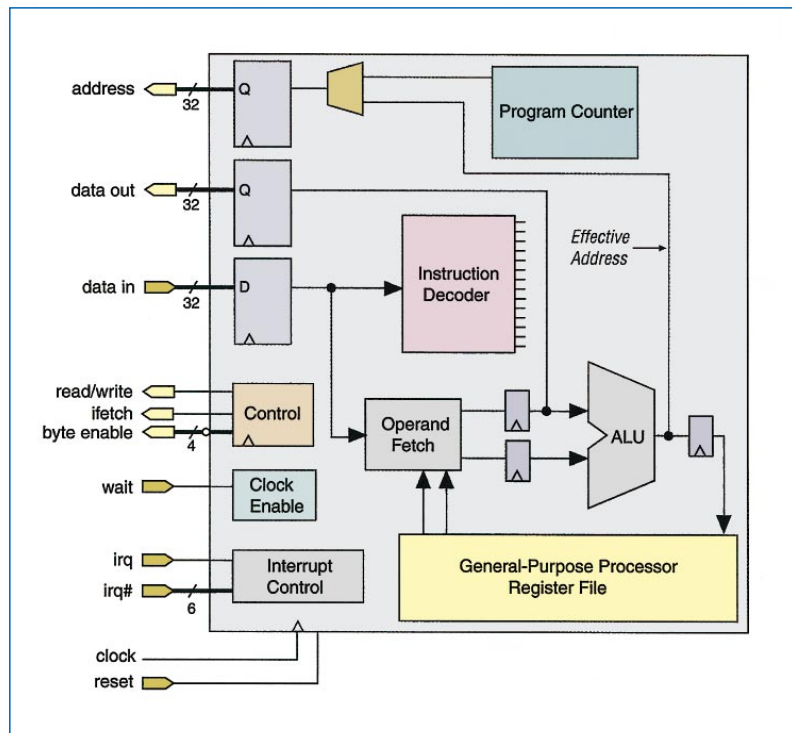


Bild 1: Blockschaltbild des Nios-Embedded-Core – ein konfigurierbarer Embedded-Processor-Core für PLDs

diesen Hardware-Prozessor-Cores lässt sich eine Performance von etwa 200 MIPS realisieren. Neben dem eigentlichen Prozessor-Core sind die PLDs auch für die Implementierung von On-Chip-RAM, Cache, externem Bus-Interface und UART optimiert. Sind diese On-Chip-Elemente erstmal implementiert, dann ist dort die entsprechend Software ablauf-fähig und das Interface zu externen Komponenten vorhanden, noch bevor der PLD-Core konfiguriert wird. Dadurch wird der Entwicklungszyklus wesentlich verkürzt und vereinfacht, indem Software für die Bausteine noch vor der eigentlichen PLD-Entwicklung geschrieben werden kann.

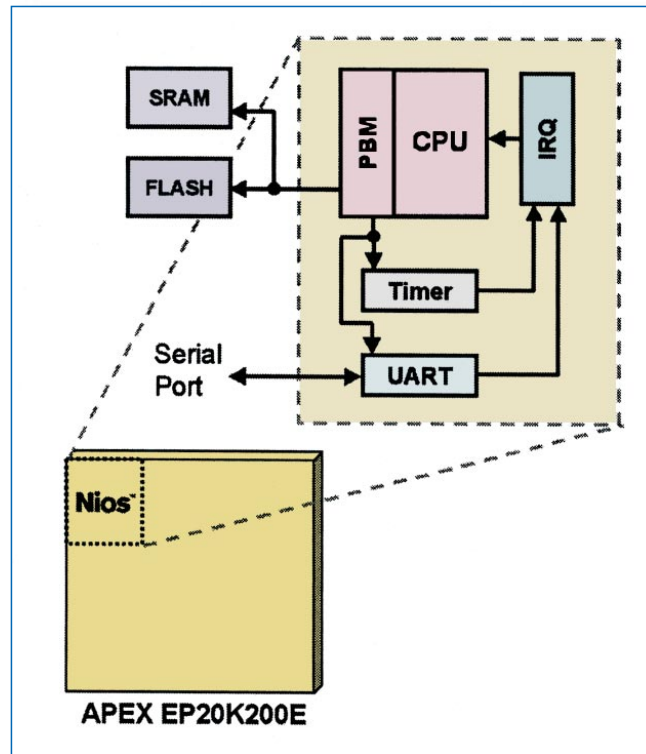


Bild 2: Bei der Implementierung des Nios-Cores in einen APEX-Bauelement bleibt reichlich Platz für anwenderspezifische Logik

Soft-Core

Für eine breite Marktabdeckung, wo die Kunden nach einer programmierbaren Lösung für die effiziente und kosteneffektive Integration eines flexiblen Embedded-Prozessors suchen, wurde mit Nios (Bild 1) die erste Embedded-Prozessor-Architektur für programmierbare Logik entwickelt. Nios ist ein RISC-basierender, konfigurierbarer und skalierbarer Soft-Core-Prozessor mit 16-bit-Befehlsatz und 16-/32-bit-Datenpfaden. Implementiert in die APEX 20KE-Architektur kann Nios mit 50 MIPS arbeiten und belegt etwa 1000 Logikzellen - das sind et-

wa 12 Prozent eines APEX EP20K200E oder nur 2 Prozent eines APEX EP20K1500E (Bild 2). Damit lässt sich die Embedded-Prozessor-Funktionalität für einen Volumen-Preis von nur 5 \$ realisieren.

Der Nios Embedded-Prozessor wird durch ein Entwicklungskit unterstützt, das alle erforderlichen Cores, einen C/C++-Compiler und Source-Level-Debugger (beides lizenziert von Cygnus), die Quartus-Compilierungs-Software, Verifizierungs-Tools und ein Hardware-Entwicklungsboard beinhaltet. Die we-

sentlichen Eigenschaften des Nios-Soft-Core sind:

- ▷ konfigurierbare RISC-Architektur (eine Instruktion per Taktzyklus)
- ▷ kundenspezifische On-Chip-Peripherie
- ▷ Optimiert für die APEX-Architektur
- ▷ über das MegaWizard-Interface sind Prozessor-Core, Bus-Verbindungen und Peripherie konfigurierbar

Der Nios-Embedded-Prozessor kann für eine Vielzahl von Applikationen konfiguriert werden. So kann ein 16-bit-Nios-Embedded-Prozessor-Core z.B. ein kleines Programm aus dem On-Chip-ROM (ESB, Embedded System Block) ausführen und so einen leistungsfähigen Sequenzer/Controller realisieren, der eine in Hardware realisierte Zustandsmaschine ersetzen kann.

Entwicklungsumgebung für Nios

Über das Altera MegaWizard-Interface lässt sich ein System bezüglich Speicher- und Peripheriefunktionen einfach konfigurieren (Bild 3). So können beispielsweise unterschiedliche Speicherbreiten- und -tiefen sowie Peripherietypen (UART, Timer, PIO, SRAM- oder Flash-Interface) ausgewählt werden. Darüber hinaus kann der Nios Prozessor-Core auf drei Wegen erweitert werden:

- ▷ Konventionelle „memory-mapped“ Peripheriefunktionen können auf dem Chip hinzugefügt werden
- ▷ Beschreib- und lesbare Bauelemente können in des CPU-Register-File abgebildet werden
- ▷ Anwenderspezifische Funktionsblöcke können direkt in die CPU-ALU hinzugefügt werden.

Der Befehlsatz des Nios zielt auf compilierte eingebettete Applikationen und umfasst spezielle Befehle (z.B. Bit-Test-and-Skip-Befehle als Single-Instructions), die für solche Anwendungen ausgelegt sind. Der Core unterstützt auch das Setzen von Hardware-Breakpoints und die Ablaufsteuerung mit dem GNU-Debugger von Cygnus über die JTAG-Anschlüsse. Der Debugger kommuniziert mit der CPU-Hardware über die

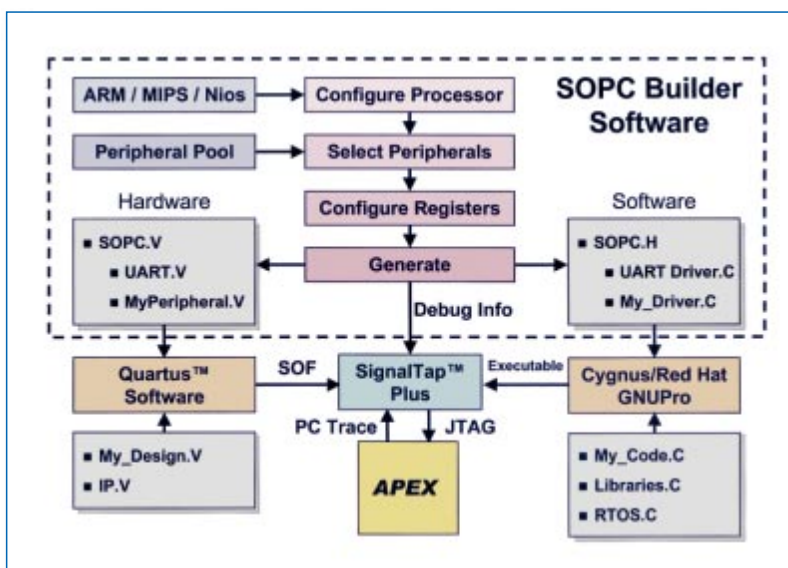


Bild 3: Design-Ablauf mit der Excalibur-Lösung

MasterBlaster- oder ByteBlaster-Kabel von Altera.

Die GNUPro-Tools bieten eine stabile Entwicklungs-Plattform mit C/C++-Compiler, Assembler und Debugger. Künftig ist auch die Unterstützung durch das Echtzeit-Betriebssystem EcoS von Cygnus geplant.

Anfänglich wird der Nios Embedded-Prozessor-Core mit Peripherieblöcken wie UART, PIO, SPI, Zähler/Timer und PWM verfügbar sein. Weitere Peripheriefunktionen wie IDE-Festplatten-Controller, 10/100-Mbit/s-Ethernet-Controller, MAC und SRAM-Controller werden hinzukommen.

Im Rahmen des Excalibur-Entwicklungs-kits steht auch ein Entwicklungs-Board für das System-Level-Design auf PLD-Basis zur Verfügung. Das Board beinhaltet einen APEX EP20K200E, Speicher (8 Mbit Flash, 256 kByte SRAM und SDRAM-Steckverbindung), Schnittstellen (RS-232, JTAG, Prozessor-Trace), Erwei-

terungs-Ports (32-bit-PMC-Host, 5,5-V-Prototype- und 3,3-V-Prototype-Steckverbindung), konfigurierbare LEDs und anwenderkonfigurierbare Kontakte/Schalter.

Anwender-Code

Der Nios-Prozessor und der serielle Port-Monitor sind in dem Flash-Speicher vorgeladen und „booten“ beim Einschalten. Die Monitor-Software bietet das Interface zum GNUPro-Debugger und unterstützt das Herunterladen von Anwender-Code vom SRAM- oder Flash-Speicher. Der Nios-Core wird durch das 256-K-SRAM unterstützt, womit eine komplette Software-Entwicklungsumgebung zur Verfügung steht. Über das JTAG-Port können kundenspezifische SPOC-Lösungen ebenfalls in den Flash-Speicher geladen werden, um eine kundenspezifische Standalone-Applikation zu reali-

seren. Das Entwicklungsboard verfügt über eine interne Spannungsversorgung. Das Software-Debugging wird über das Prozessor-Trace-Port unterstützt.

Mit der Kombination von programmierbarer Logik und Embedded-Prozessoren erhält der Entwickler ein Höchstmaß an Flexibilität für die Systemintegration. Je nach Applikation und Performance-bzw. Platzbedarf bietet die Soft-Core- oder Hard-Core-Implementierung der Embedded-Prozessor-Cores Vorteile. Komplexe programmierbare Logikbausteine und die entsprechenden effizienten Entwicklungs-Tools schaffen die Voraussetzung für neue, effiziente SOPC-Designs. (oe)



Bearbeitet nach Unterlagen der Firma **Altera** (Unterschleißheim).

