

Jitter-Dämpfung

Wie wählt man die richtige PLL-Bandbreite?

Die Handhabung von Phasenrauschen und Jitter ist in diesen hochleistungsfähigen Anwendungen ein Muss. Meist kommt ein jitterdämpfender Takt-IC oder eine diskrete PLL zum Einsatz, um jitterarme Taktsignale zu erzeugen. Eine herkömmliche PLL-Architektur umfasst einen Phasenfrequenzdetektor (PFD), Schleifenfilter und einen VCO. Eine Herausforderung beim Design hochleistungsfähiger PLLs ist die richtige Wahl der Schleifenbandbreite.

Taktsignale sorgen in jedem IC und elektrischen System für das Referenz-Timing. Während Consumer-Anwendungen Quarze zur Referenzakterzeugung verwenden, weisen andere Applikationen wesentlich ausgereifere Timing-Anforderungen auf und erfordern eine Kombination aus Taktsignalen, um eine Synchronisation, Generierung und Taktverteilung zu gewährleisten. In drahtlosen Infrastrukturen und bei der medizinischen Bildgebung, wo eine hochqualitative Analog-zu-Digital-Signalswandlung erforderlich ist, verlangen die Designs der nächsten Generation eine höhere Auflösung und schnellere Datenübertragungsraten. Hochleistungsfähige Netzwerk- und Kommunikationsanwendungen der nächsten Generation erfordern zudem schnellere Datenübertragungsraten und eine schnelle Datenverarbeitung. In diesen Applikationen spielen die Taktsignale innerhalb der Gesamtarchitektur eine entscheidende Rolle. Ist deren Verteilung nicht ausreichend gut mit in das Design einbezogen, wird die Leistungsfähigkeit des Gesamtsystems auf die Performance der zugrundeliegenden Timing-Lösung eingeschränkt. Die Bauteilerauswahl und das Hardwaredesign müssen daher mit hoher Sorgfalt erfolgen, um ein Taktdesign zu garantieren, das eine maximale Leistungsfähigkeit bereitstellt.

Anforderung an das Taktsignal

Die Qualität eines Taktsignals hängt vor allem vom Phasenrauschen und Jitter ab. Eine ideale Taktquelle würde eine reine Sinuswelle erzeugen. Die gesamte Signalleistung wird dann bei einer einzigen Frequenz generiert. In der Realität weisen jedoch alle

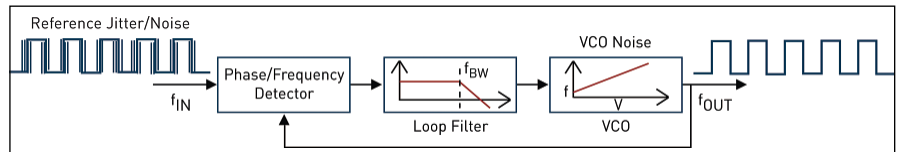


Bild 1: Ursachen von PLL-Jitter am Ausgang

(alle Bilder: Silicon Labs)

Taktsignale einen gewissen Grad an phasenmoduliertem Rauschen auf. Dieses Rauschen verteilt die Leistung des Taktsignals auf benachbarte Frequenzen, was zu Rausch-Seitenbändern führt. Das Phasenrauschen wird in dBc/Hz angegeben und bezieht die Menge der Signalleistung in einem Seitenband oder die Offset-Frequenz, die von der idealen Taktfrequenz abweicht. HF- und A/D-Wandler-Anwendungen erfordern Takte mit sehr geringem Phasenrauschen. In HF-Anwendungen kann ein erhöhtes Phasenrauschen zu Kanal-Interferenzen zwischen den einzelnen Kanälen führen und die HF-Signalqualität schwächen. In ADC-Anwendungen begrenzt erhöhtes Pha-

senrauschen den Signal-Rauschabstand (SNR) und dazugehörige Bits (Auflösung) des Datenwandlers.

Phasenrauschen ist im Frequenzbereich das Äquivalent zu Taktrauschen. Phasenjitter hingegen ist die Instabilität des Taktsignals im Zeitbereich und wird in Picosekunden (ps) angegeben. Jitter ist eine zufällig entstehende Veränderung der eigentlichen Taktsignalfanken, die von der idealen Signalform abweicht. Phasenjitter ist die Gütezahl (FOM – Figure of Merit) in schnellen digitalen Applikationen in der Datenkommunikation, im Netzwerkbereich und bei der HD-Videoübertragung. Diese Anwendungen erfordern Multi-Gigabit-Daten-

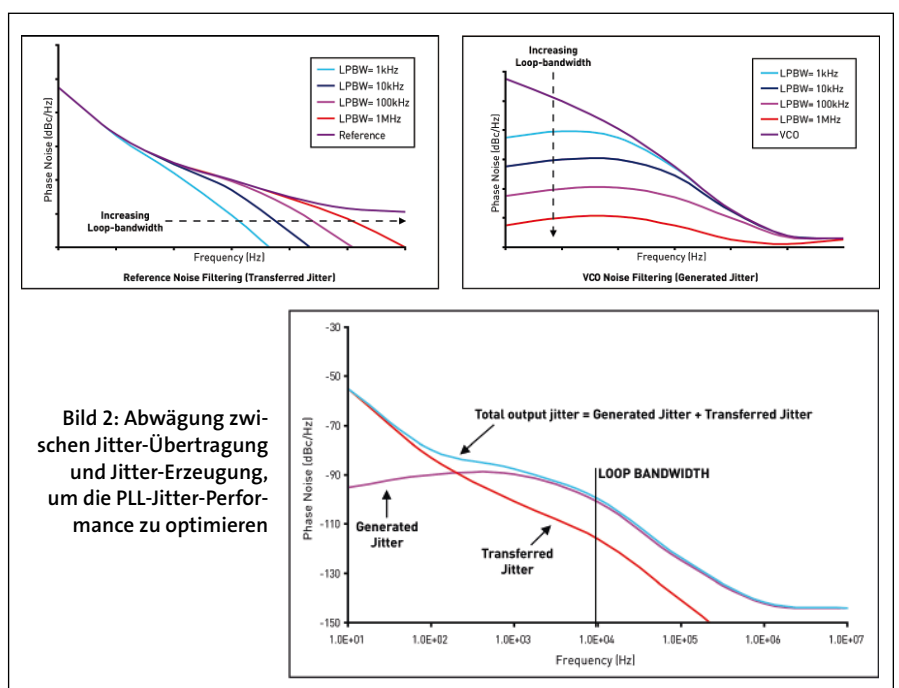


Bild 2: Abwägung zwischen Jitter-Übertragung und Jitter-Erzeugung, um die PLL-Jitter-Performance zu optimieren

AUTOR
James Wilson,
Director Marketing,
Timing Products, Silicon Labs

übertragungsraten bis zu 40Gbit/s. PHY-Transceiver im Netzwerkbereich und HD-Video sind auf jitterarme Referenztak- te angewiesen, die innerhalb des Transcei- vers vervielfältigt werden, um die vom Gerät übertragenen schnellen Daten zu takten. Übermäßiger Jitter kann zu höhe- ren Bitfehlerraten führen, die die System- voraussetzungen überschreiten.

Die Handhabung von Phasenrauschen und Jitter ist in diesen hochleistungsfähigen Anwendungen ein Muss. Meist kommt ein jitterdämpfender Takt-IC oder eine diskrete PLL (Phase-Locked Loop) zum Einsatz, um jitterarme Taktsignale zu erzeugen. Eine herkömmliche PLL-Architektur umfasst einen Phasenfrequenzdetektor (PFD), Schlei- fenfilter (LF – Loop Filter) und einen span- nungsgesteuerten Oszillator (VCO) (Bild 1). Der PLL-Schleifenfilter wird meist mithilfe diskreter Bauteile realisiert. Eine Herausfor- derung beim Design hochleistungsfähiger PLLs ist die richtige Wahl der Schleifenband- breite. Bei den meisten Entwicklungsauf- gaben muss hier eine Abwägung auf Appli- kationsebene getroffen werden.

Ursache für PLL-Ausgangsjitter

PLL-Ausgangs-Jitter basiert auf zwei Ur- sachen: übertragenes Referenzrauschen und internes VCO-Rauschen. Zu den Referenz- rauschquellen zählt Jitter, der durch die Referenz-Zeitquelle, Leiterplatten-Rausch- kopplung und das Rauschen der Stromver- sorgung generiert wird. VCO-Rauschquellen umfassen die Schleifenfilter- und VCO- Verstärker-Komponenten sowie das Strom- versorgungsrauschen.

Eine jitterdämpfende PLL kann Rauschen aus dem Eingangstakt filtern und einen jitterarmen Ausgangstakt erzeugen. Eine geringere Schleifenfilter-Bandbreite erhöht die Jitterdämpfung des Referenztakts und überträgt weniger Jitter vom Eingang zum Ausgang. Weist der Referenztakt einen ho- hen Jitter auf, wird eine niedrige PLL-Band- breite zum Herausfiltern dieses Rauschens empfohlen. Manchmal ist es jedoch von Nachteil, eine sehr niedrige PLL-Bandbreite zu verwenden: Der relative Anteil des VCO-Rauschens am PLL-Ausgangs-Jitter erhöht sich, wenn die Schleifenbandbreite verrin- gert wird. Falls die PLL nicht über einen sehr rauscharmen VCO verfügt, kann eine nied- rige PLL-Bandbreite den Nachteil eines hö-

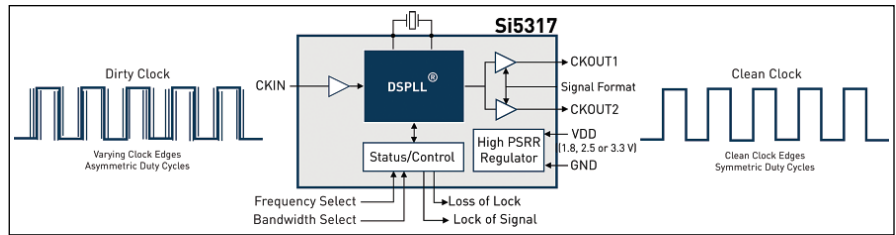


Bild 3: Der jitterdämpfende Takt-IC Si5317 stellt eine kosteneffiziente Jitterdämpfungslösung dar.

heren Ausgangstakt-Jitters haben. Genau hierin besteht die Abwägung. Die PLL-Bandbreite muss so eingestellt sein, dass der VCO- und Referenz-Jitter minimal ausfallen. Da der Referenztakt-Jitter je nach Anwendung unterschiedlich ist, muss diese Entscheidung für jedes Design separat getroffen werden (Bild 2).

Einsatz einer PLL

Eine diskrete PLL auf der Basis eines hoch- qualitativen, spannungsgesteuerten Quarz- Oszillators (VCXO) bietet hier Vorteile; das Design ist aber immer noch empfindlich gegen Schaltrauschen seitens der Strom- versorgung, Leiterplatten-Rauschkopplung und Rauschen, das durch die diskreten Schleifenfilter-Bauteile eingebracht wird. Ein weitere Möglichkeit ist der Einsatz eines Takt-ICs mit integriertem VCO – diese Bau- steine erfordern aber meist externe Schlei- fenfilter-Komponenten, die empfindlich gegen externe Rauschquellen sind. Die Schnittstelle zwischen einem PLL-Schlei- fenfilter und seinem VCO ist eine der raus- chempfindlichsten Knoten in einem PLL- Design. Rauschen, das in eine PLL über seine externen Schleifenfilter-Komponen- ten gelangt, liegt am VCO-Eingang an und wird durch den VCO-Verstärkungsfaktor vervielfacht, womit sich das VCO-Rauschen und damit auch das PLL-Rauschen im De- sign erhöht.

Lösungen mit diskreten Schleifenfiltern erhöhen auch die PLL-Design- und Layout- Komplexität. Die PLL-Stabilität muss für jeden Frequenzplan und für jede Schleifen- bandbreiten-kombination berechnet wer- den, um einen ausreichenden Phasenrand zu gewährleisten. Einige hochleistungsfä- hige PLL-Designs verwenden spezielle Lei- terplatten-Layout-Techniken wie um den Schleifenfilter-Bauteilen angebrachte Gu- ard Rings, die Isolation und minimale Leck- ströme garantieren. Da die meisten der

herkömmlichen Hochleistungs-Takt-ICs mehrere isolierte Potentialflächen benöti- gen, sorgen die Layout-Erwägungen für den Schleifenfilter für zusätzliche Komplexität beim Leiterplattendesign.

Bild 3 beschreibt einen besseren Ansatz zur Jitterdämpfung: Zum Einsatz kommt der Jitter-Bereinigungs-Takt-IC Si5317 von Sili- con Labs. Der Baustein ist ein kosteneffizi- enter, hochleistungsfähiger jitterdämpfen- der Takt-IC auf der Basis der Silicon-Labs eigenen DSPLL-Technik der dritten Genera- tion. Der Si5317 akzeptiert einen verrausch- ten Referenztakt bei jeder Frequenz von 1 bis 710 MHz und stellt einen jitterarmen Ausgangstakt (0,3 ps_{eff}, 12 kHz bis 20 MHz) mit der gleichen Frequenz zur Verfüg- ung. Die Betriebsfrequenz des Bausteins wird über eigene Steuerungsanschlüsse einge- stellt, sodass keine Interaktion seitens einer CPU erforderlich ist.

Der jitterdämpfende Takt-IC enthält einen digital geregelten Schleifenfilter. Durch die einfache Ansteuerung über Pins können Hardwareentwickler den optimalen Schlei- fenfilterwert aus acht Einstellungen von 60 Hz bis 8,4 kHz wählen, was eine einfache Abwägung zwischen übertragenen und generierten Jitter ermöglicht. Damit lässt sich eine optimale Jitter-Performance auf Applikationsebene erzielen.

Schlussbemerkung

Kosteneffiziente, pin-gesteuerte Jitter- dämpfungs-Bausteine wie der Si5317 lassen sich in jeden Taktpfad integrieren und di- gital regeln, sodass der geringst mögliche Ausgangsjitter erzeugt wird, was das De- sign in jitterempfindlichen Anwendungen erheblich vereinfacht. (sb)

infoDIRECT 423ei1210
 ▶ Link zu Silicon Labs
 ▶ Link zum Datenblatt Si5317
 www.elektronik-industrie.de