Mag. Manfred Glantschnig ist Product Manager Diebonding bei der Datacon Technology GmbH, Radfeldt, Österreich

Trends in der Flipchip-Technologie

Höhere Genauigkeit, geringerer Pitch

Au-Stud- oder Cu-Pillar Bumps ersetzen den traditionellen C4-Prozess.

Ganz gleich, wohin die globale Wirtschaft tendiert – es wird Zeit für die nächste Stufe der Genauigkeit und im Pitch beim Bonden von Flipchips. Die Bauelemente- und Gehäusetechnologien schreiten im gewohnten Tempo fort. Neue Gehäusetypen mit feinerem Pitch stehen derzeit ganz oben auf der Agenda. Sobald die Consumer-Nachfrage wieder anzieht, heißt es frühzeitig mit innovativen Produkten am Markt zu sein. Bei Datacon gibt es dazu ein umfangreiches F&E-Projekt zur Weiterentwicklung der 8800-Plattform per Retrofit (**Bild 1**).

Dass die Entwicklung beim Packaging trotz allem rapide weiter geht, wird schnell klar, wenn man die aktuellen Trends der Flipchip-Technologien analysiert. Die Erweiterung von Flipchip mit traditionellem C4-Interconnect lässt erkennen, dass sie bald an ihre Grenzen stößt. Wie immer in Übergangszeiten kommt somit eine Welle neuer Technologien auf uns zu, mit eingehenden Feldtests und zeitnaher Einführung am Markt.

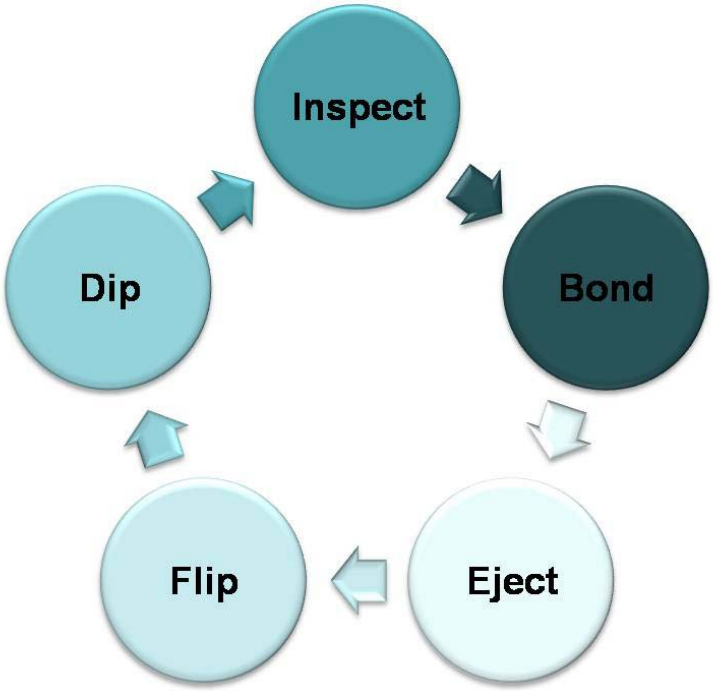

Bild 1: Arbeitsprozess der 8800 FC Plattform

all-electronics.de
ENTWICKLUNG. FERTIGUNG. AUTOMATISIERUNG

Entdecken Sie weitere interessante Artikel und News zum Thema auf all-electronics.de!

Hier klicken & informieren!

Alternative Bumping-Technologien
Neuestes Beispiel sind alternative Bumping-Technologien, einschließlich Copper Pillar. Sie halten derzeit ihren Einzug in diverse Applikationen. Daneben kommen absolut neue Verfahren auf, etwa die von Infineon verfolgte Embedded Wafer-level Ball Technologie.
Derzeit geht es also um die Überwindung der Begrenzungen im Pitch beim traditionellen C4-Prozess. Dies treibt, neben anderen praktischen Erwägungen, die Entwicklung von Flipchip-Prozessen mit Au-Studs oder Copper-Pillar Bumps. Die heute geltenden Packaging-Roadmaps verlangen einen Pitch bis herab zu 30 µm. Derartige Finepitch-Forderungen, zusammen mit dem fehlenden Self-centering-Effekt wie beim C4-Bumping, erfordern Platziergenauigkeiten von 7 µm bei 3 Sigma – wenn nicht besser.

3D Integration
3D-Integration ist ein weiterer Treiber in Richtung höherer Placement-Genauigkeit. Wenn Speicher-, Logik- und weitere Funktionen in einem Chip zu integrieren sind, geschieht das derzeit im heute üblichen 3D-Prinzip durch Stapeln der Systeme übereinander. Das Ergebnis ist ein heterogen integriertes Package.
Diese gut beherrschte 3D-Methodik erfordert allerdings einen hoch dichten System-Interconnect - also eine tragfähige Interconnect-Methode mit sehr feinem Pitch. Dabei ist klar, dass ein solcher Fine-pitch Interconnect ebenso hohe Platziergenauigkeiten beim Stapeln der Systeme erfordert.

Ultra-Präzision durch Retrofit
Mit dieser Problemlage befasst sich Datacon sehr intensiv. „Als ein führender Weltmarkt-Anbieter von fortschrittlichem Packaging-Equipment erkennen wir den Bedarf an neuen und stabilen Lösungen für Genauigkeit und Pitch im Hinblick auf Copper-Pillar-Prozesse“, sagt Manfred Glantschnig, Datacon Product Manager Diebonding. „Wir arbeiten derzeit mit voller Kraft an diversen Roadmap- und Entwicklungsprojekten, um die Platziergenauigkeit unserer 8800-Plattformen weiter zu steigern.“
Wichtigster Gesichtspunkt: Datacon wird diese neuen Lösungen als Retrofit für existierende Systeme am Ort der Kunden verfügbar machen.
Um diese weit reichende Zielprojektion energisch voran zu treiben, hat Datacon ein umfangreiches F&E-Projekt lanciert. Kerngedanke ist die Entwicklung zukünftiger ultra-präziser Flipchip-Bonder mit Finepitch Interconnect sowie von Chip-to-Wafer (C2W) Stacking-Prozessen und Tools. Mit diesem kapital- und arbeitsintensiven Forschungsprojekt zielt Besi/Datacon auf preisgünstig massenproduzierbare 3D-ICs mit Chip-

to-Wafer Stacking - mit einer bisher ungehörten Genauigkeit von 2,5µm bei 3 Sigma.
Viele gewohnte Prozessschritte wie optische Inspektion, Waferfeeding und Transport-Routinen sollten damit überflüssig werden, wenn dieses Projekt die kommerzielle Arena erreicht. Um 2012 soll es soweit sein. Derzeit arbeitet Datacon hart am ersten Teilstück dieses Projekts: ein ultra-präziser Flipchip-Bonder auf der Basis der bewährten 8800 FC Quantum Plattform. Ein Prototyp wird für Ende dieses Jahres erwartet.

Applikationsprojekt mit ersten Ergebnissen
Neben dieser strategischen Vorausschau meldet Datacon weitere aktuelle Ergebnisse: „Parallel zu unserer generellen Roadmap, die auf die reguläre Verbesserung der Genauigkeit der gesamten 8800 Plattform fokussiert," sagt Harald Meixner, Produktspezialist bei der Datacon Technology GmbH, „konzentrieren wir unsere Anstrengungen auch auf Sofortlösungen für dringende Kundenbedarfe." Diese Anforderungen beziehen sich primär auf Weiterentwicklungen und Patches zur Evaluierung der Stabilität dieser neuen Prozesse.
„Um frühzeitig den Trend zu bestimmen und die Herausforderungen der neu entstehenden Applikationen robust zu erfüllen", sagt Meixner, „haben wir uns zu gewissen Änderungen bei den Standard-8800-Plattformen entschlossen." Nochmals, betont Meixner: „Primäres Ziel ist die Integration dieser Änderungen in Maschinen, die bereits bei den Kunden im Einsatz sind. Diese Modifikationen in Richtung höherer Genauigkeit und geringerem Pitch gehen ohne jeden Verlust an Verarbeitungsgeschwindigkeit." Der Retrofit wird schnell und einfach sein, mit Einbau neuer Komponenten und Prozess-Evaluierung, ausgeführt von einem Datacon-Techniker am Ort des Kunden.
Die neuen, von Datacon vorgesehenen 8800- und 2200-Upgrades umfassen Änderungen im Hardware-Setup, etwa der aufwärts gerichteten Kamera, die den Chip unmittelbar vor der Platzierung inspiziert. Der neue Setup verwendet eine Kamera mit doppeltem Vergrößerungsfaktor für Finepitch-Komponenten, die zu klein für die Standard-Vergrößerung sind.
Außerdem sind zusätzliche Hardware-Komponenten vorgesehen, darunter ein zweites Kalibrier-Objekt, das die gesteigerte Genauigkeit der Maschine ermöglicht. Natürlich macht das zusätzliche Objekt einen neuen Software-Background notwendig, mit verbesserten Kalibriermethoden und Software-Algorithmen.

Trennung von Platzieren und Löten
En weiterer Aspekt der neuen Lösung mit höherer Genauigkeit und feinerem Pitch ist die funktionale Trennung von Platzierung und Lötung. Mit den derzeitigen Setups nehmen Platzieren und Löten mindestens

10 bis 20 Sekunden pro Komponente in Anspruch. Der neue Setup absolviert nur das Platzieren (**Bild 2**). Das Löten geschieht im Batch in einem separaten Reflow-Ofen. „Im Hinblick auf die Prozessgeschwindigkeit ist das eine wesentlich bessere Lösung“, führt Meixner aus.

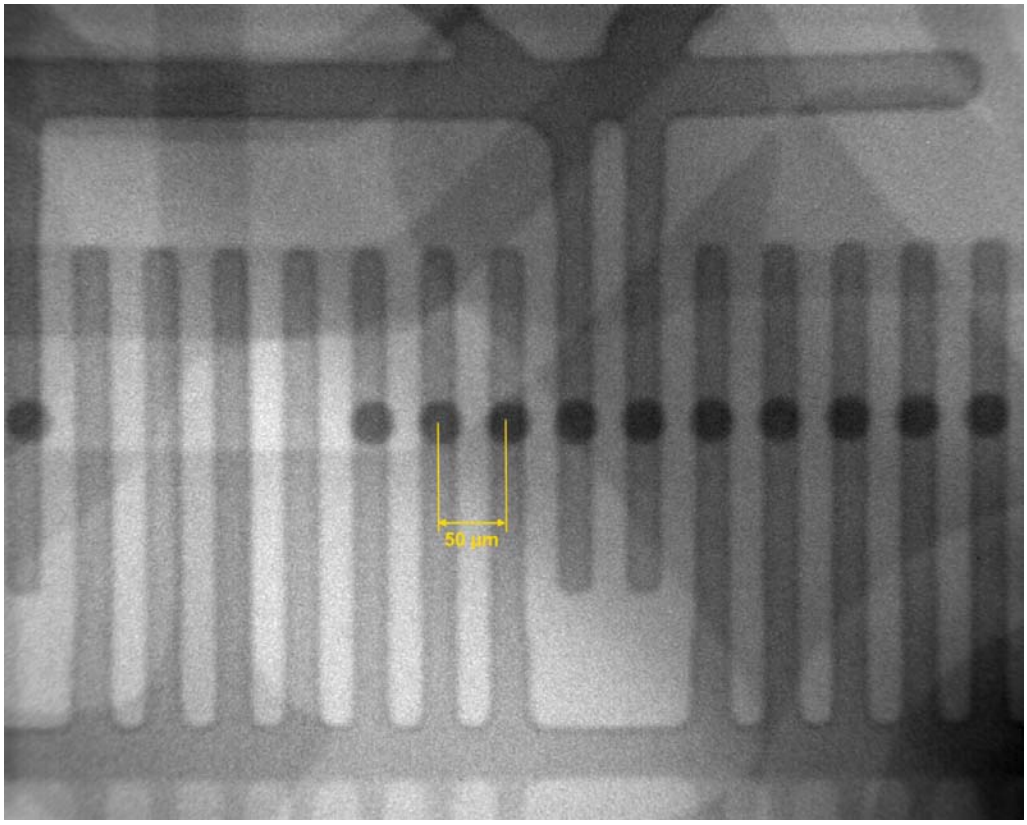

Bild 2: Röntgenbild einer gebondeten Komponente (vor dem Reflow)

Laufendes Applikationsprojekt

Genauigkeit und Stabilität sind, wie die bislang vorliegenden Entwicklungsergebnisse zeigen, die Schlüsselfaktoren für einen derart herausfordernden Flipchip-Prozess. Meixner: „Die von uns eingerichtete Applikation, die wir in unserem Applikationslabor getestet haben, bezieht sich auf ein organisches Strip-Substrat.“ Ohne zu viel über den Kunden und die spezifische Lösung zu verraten, werden dabei 8 mm x 8 mm große Komponenten mit einer Dicke von 100 µm auf einem Wafer montiert. „Das erforderliche Flussmittel wird auf den Bumps über eine 25-µm-Cavity in unserem Standard Slide-Fluxer appliziert.“ Spezielles kundenspezifisches Tooling war für diese Komponenten zur Verarbeitung auf der 8800-Plattform nicht erforderlich.

Small Pitch auf Standard C4-Linie

Eine wesentliche Herausforderung wird darin bestehen, sagt Manfred Glantschnig, diese Komponenten auf einer Standard C4-Produktionslinie zu verarbeiten. „Unsere bisherigen Ergebnisse sind viel versprechend.“ Datacons Ziel ist es, sagt Glantschnig, den Trend bei High-accuracy-Small-pitch zu erfassen, der sich gegenwärtig abzuzeichnen beginnt, und diesen in einem sehr frühen Stadium als führende Technologie zu definieren.

Bild 3: Seitenansicht - die Cu-Pillar Bumps sind gut erkennbar

Tabelle 1: Daten und Materialien des laufenden Projekts

Substrat:	
Material	Organisch
Abmessungen	230 mm x 62 mm
Modul-Layout	4 Sektionen, 3x3 Matrix
Bond-Pad	CuSn Pad
Komponente:	
Abmessungen	8 mm x 8 mm
Dicke	100 µm
Bump-Material	Cu Pillar mit Lötkappe
Bump-Höhe	40 µm
Bump-Pitch	50 µm
Einstellungen:	
Gantry-Selektion	Nur links
Lokale Substratsuche	Ja
Suchalgorithmus	Bump/Pattern matching
Dipping Delay	200 ms
Bond Delay	300 ms
Bondkraft	500 g
Slowtravel nach dem Bonden	2 mm/s
CPH	900 (nur linke Gantry)