

Funktion	Timing-pro-Pin-Architektur (125 MHz T0-Clock)	Singuläre Timing-Engine (200 MHz max. Vektor-Rate)
Flankenplatzierung	1 ns – dynamisch, für jeden Sequenzschritt programmierbar	5ns – fest, statisch; die Konvertierung von Testvektoren kann es erfordern, dass das Timing für die Anpassung von Vektor-Test-Dateien erzwungen wird
Erfordert mehrere Vektoren zur Erzielung der Flankenauflösung (Oversampling)	Nein	Ja
Datenformatierung und programmierbare Aktivierung/Deaktivierung von Flanken	Ja, 6 Formate: NR, RT0, RT1, RZ, RTC, SBC	Nein
Mehrfache Timing-Sets: Emulation von unterschiedlichen Bus-Timing-Zyklen	Ja, bis zu 64, wählbar pro Sequenz-Schritt	Nein (erfordert die Linearisierung von Testsequenzvektoren und Oversampling)